

科目コード	記号	科目名	
8324	AP24	電子回路設計解析学: Electric Circuit Design and Analysis	
教員名		岡 正人: OKA Masato	
学年	単位・時間	必修・選択	授業形態
2P	2・100分	選択	講義・前期
授業概要	本講義ではデジタル回路の設計をCPLD(プログラム可能な複合論理デバイス)およびVHDL言語(ハードウェア記述言語)を用いて行う。これによりデジタル回路の製作におけるコストや設計時間を大幅に低減できる。CPLD学習ボードを用いてVHDL言語の習得を行い、さまざまなデジタル回路の設計ができることを目標とする。		
到達目標		評価方法	
1.CPLDとその外部インターフェイスの関係が理解できる。 2.VHDL言語による各種のロジックが表現できる。		評価方法は、①演習課題、②期末試験で評価する。評価配分は、①40%、②60%とする。	
学習・教育目標	(E)-(2)	JABEE基準1(1)	(D)-(2)-a)
授 業 計 画	前 期		
	回	項 目	内 容
	第1	VHDLについて	汎用ロジックICとCPLDについて
	第2	CPLDについて	CPLDと外部インターフェイス
	第3	VHDLの基本 (I)	VHDL記述の基本
	第4	VHDLの基本 (II)	VHDLコードの記述、論理合成、配置配線
	第5	VHDLの文法 (I)	Process文、if文、case文
	第6	VHDLの文法 (II)	動作記述と構造記述
	第7	VHDLの文法 (III)	エンコーダとデコーダ
	第8	VHDLの文法 (IV)	マルチプレクサとデマルチプレクサ
	第9	VHDLの文法 (V)	フリップフロップ(D-FF,RS-FF)
	第10	VHDLの文法 (VI)	フリップフロップ(JK-FF,T-FF)
	第11	VHDLの文法 (VII)	カウンタ
	第12	VHDLの文法 (VIII)	シリアルイン・パラレルアウトシフトレジスタ、 パラレルイン・シリアルアウトシフトレジスタ
	第13	VHDLの文法 (IX)	階層設計
第14	演習	さまざまな応用回路	
第15	まとめ	全体の学習事項のまとめをおこなう。また、授業評価アンケートを行う。	
関連科目	論理回路		
教科書	図解 VHDL実習 (堀 桂太郎、森北出版)		
参考書			
授業評価・理解度 備考	最終回到授業評価アンケートを行う。		