

科目名		学年	
電子回路設計解析学: Electric Circuit Design and Analysis		2P1K	
教員名		岡 正人: OKA Masato	
単位	授業時間	科目区分	
2	100分×15回	選択	
		授業形態	
		講義・前期	
授業概要	本講義ではデジタル回路の設計をCPLD(プログラム可能な複合論理デバイス)およびVHDL言語(ハードウェア記述言語)を用いて行う。これによりデジタル回路の製作におけるコストや設計時間を大幅に低減できる。CPLD学習ボードを用いてVHDL言語の習得を行い、さまざまなデジタル回路の設計ができることを目標とする。		
到達目標		評価方法	
1.CPLDとその外部インターフェイスの関係が理解できる。 2.VHDL言語による各種のロジックが表現できる。		評価方法は、①期末試験(70%)、②自学自習によるレポート(30%)で評価する。	
学習・教育目標	(E)-②	JABEE基準1(1) (D)-(2)-a	
授 業 計 画	回	項 目	内 容
	第1	VHDLについて	汎用ロジックICとCPLDについて
	第2	CPLDについて	ISEの使い方。VHDL記述の基本。インパータ・AND回路。
	第3	VHDLの基本 (I)	VHDL記述の基本。NAND・NOR・EX-OR・EX-NOR回路。
	第4	VHDLの基本 (II)	内部信号表記。
	第5	VHDLの文法 (I)	シーケンシャル処理・コンカレント処理。AND/ORセレクタ。Process文、if文、case文。
	第6	VHDLの文法 (II)	エンコーダ・デコーダ。2進-10進デコーダ。
	第7	VHDLの文法 (III)	7セグメントLED。
	第8	VHDLの文法 (IV)	カウンタ。
	第9	VHDLの文法 (V)	シフトレジスタ。
	第10	VHDLの文法 (VI)	ダイナミック点灯方式。7セグメントLEDの複数行表示。
	第11	演習	7セグメントLEDの演習。
	第12	VHDLの文法 (VII)	階層設計
	第13	演習	階層設計の演習。
	第14	シミュレーション	テストベンチの作成とシミュレーション
第15	まとめ	全体の学習事項のまとめをおこなう。また、授業評価アンケートを行う。	
自学自習の内容	レポートを課す。		
関連科目	論理回路		
教科書	図解 VHDL実習 (堀 桂太郎、森北出版)		
参考書			
授業評価・理解度	最終回に授業評価アンケートを行う。		
副担当教員			
備考			